

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**



JP1068932

Biblio

Page 1

Drawing

esp@cenet

**DRY ETCHING**

Patent Number: JP1068932 JP64-68932

Publication date: 1989-03-15

Inventor(s): SUZUKI HIROYUKI

Applicant(s): RICOH CO LTD

Requested Patent: ☐ JP1068932

Application Number: JP19870225679 19870909

Priority Number(s):

IPC Classification: H01L21/302

EC Classification:

Equivalents:

Abstract

PURPOSE: To set the optimum etching conditions, by forming a hole for monitoring in a an element isolating oxide film in addition to a contact hole in a resist film for the contact hole, performing dry etching, and computing the amount of over etching of a silicon substrate based on the etching speed ratio between the oxide film and the silicon substrate.

CONSTITUTION: A monitoring hole 6 is provided on an element isolating SiO₂ film 2. A photoresist film 4, in which a contact hole 5 and the monitoring hole 6 are formed, is used as a mask, and dry etching is performed. After the etching, the thickness of the element isolating SiO₂ film 2 at the monitoring hole 6 is measured. There is an etching speed ratio, which is determined by the etching conditions, between the etching amount of the SiO₂ film 2 (b) and the etching amount of a silicon substrate 1 (a). The etching amount of the silicon substrate 1 can be computed based on said relation. For example, when the optimum etching amount of the silicon substrate 1 is T₀, the etching amount of the SiO₂ film 2 is t₀. When the etching amount of the SiO₂ film 2, which is measured now, is (t), the etching amount of the silicon substrate 1 at this time is estimated as T. Therefore, the etching conditions are set so as to obtain the optimum etching amount T₀ for the silicon substrate.

Data supplied from the esp@cenet database - 12

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

昭64-68932

⑬ Int.Cl.⁴

識別記号

庁内整理番号

⑭ 公開 昭和64年(1989)3月15日

H 01 L 21/302

E-8223-5F

A-8223-5F

審査請求 未請求 発明の数 1 (全3頁)

⑮ 発明の名称 ドライエッチング方法

⑯ 特 願 昭62-225679

⑰ 出 願 昭62(1987)9月9日

⑱ 発 明 者 鈴木 啓之 東京都大田区中馬込1丁目3番6号 株式会社リコー内

⑲ 出 願 人 株式会社リコー 東京都大田区中馬込1丁目3番6号

⑳ 代 理 人 弁理士 野口 繁雄

明 細 書

1. 発明の名称

ドライエッチング方法

2. 特許請求の範囲

(1) 膜厚が測定された素子分離用酸化膜が形成されたシリコン基板のウエハ上に絶縁膜を形成し、その絶縁膜上にレジスト膜を塗布し、このレジスト膜にコンタクトホール用開口を設けるとともに、膜厚測定に可能な大きさのモニタ用開口を前記素子分離用酸化膜上に設け、前記レジスト膜をマスクにしてドライエッチングを行なった後、前記モニタ用開口内の酸化膜の膜厚を測定して酸化膜のエッチング量を算出し、酸化膜とシリコン基板とのエッチング速度比からシリコン基板のオーバーエッチング量を算出して、このオーバーエッチング量が所定量になるようにエッチング条件を設定するドライエッチング方法。

3. 発明の詳細な説明

(技術分野)

本発明はプラズマエッチングやスパッタエッチ

ングなどのドライエッチング方法に関し、特にトランジスタなどが形成されたシリコン基板上の絶縁膜にコンタクトホールをあける場合のドライエッチング方法に関するものである。

(従来技術)

シリコン基板上の絶縁膜にコンタクトホールをあけるには、絶縁膜上にレジスト膜を形成し、コンタクトホール用の開口を設けてドライエッチングを行なう。シリコン基板のウエハ全面に渡ってコンタクトホールが十分に形成されるためには、シリコン基板もある程度エッチングされるオーバーエッチングであることは必要である。しかしながら、シリコン基板のエッチング量が大きすぎると半導体素子そのものが破壊されるので、シリコン基板のオーバーエッチング量は最適な値になるように制御しなければならない。

オーバーエッチングによるシリコン基板のエッチング量を算出するために、従来はエッチング速度からの計算によって求めたり、又は発光分光法を利用したスペクトルの変化で絶縁膜のエッチング

終点を検出し、その時点からのエッチング時間とエッチング速度からの計算によりシリコン基板のエッチング量を算出していた。

しかし、それらの方法は精度が悪い問題がある。

(目的)

本発明はオーバエッチングによりシリコン基板をエッチングするときのエッチング量を容易に、しかも確実に算出することができ、エッチング条件を最適に設定することのできるドライエッチング方法を提供することを目的とするものである。

(構成)

本発明の方法では、膜厚が測定された素子分離用酸化膜が形成されたシリコン基板のウエハ上に絶縁膜を形成し、その絶縁膜上にレジスト膜を塗布し、このレジスト膜にコンタクトホール用開口を設けるとともに、膜厚測定に可能な大きさのモニタ用開口を前記素子分離用酸化膜上に設け、前記レジスト膜をマスクにしてドライエッチングを行なった後、前記モニタ用開口内の酸化膜の膜厚を測定して酸化膜のエッチング量を算出し、酸化

膜とシリコン基板とのエッチング速度比からシリコン基板のオーバエッチング量を算出して、このオーバエッチング量が所定量になるようにエッチング条件を設定する。

以下、実施例について具体的に説明する。

第1図は一実施例の手順を示すフローチャートであり、第2図はレジストのパターン化が行なわれた状態を示す断面図であり、第3図は本発明における SiO_2 のエッチング量とシリコン基板のエッチング量の関係を模式的に示す図である。

第2図に示されるシリコン基板1上には図に表わされていないがゲート電極が形成されており、シリコン基板1にソース領域とドレイン領域が形成されてMOSトランジスタが形成されているものとする。2は素子分離用 SiO_2 膜であり、このシリコン基板1の表面には絶縁膜としてPSG膜3が形成されている。素子分離用 SiO_2 膜2の膜厚は予め測定しておく。

PSG膜3上にフォトレジスト膜4を塗布し、フォトレジスト膜4にパターン化を施す。この

パターン化では、コンタクトホールを形成するための開口5の他に、膜厚測定に可能な大きさのモニタ用開口6を形成する。モニタ用開口6は素子分離用 SiO_2 膜2上に設ける。モニタ用開口6はスクライブラインに接する素子分離領域に設けることにより、後の工程で配線を形成する際に悪影響を及ぼすことを防ぐことができる。

コンタクトホール用開口5及びモニタ用開口6が形成されたフォトレジスト膜4をマスクにしてプラズマエッチングなどのドライエッチングを行なう。

エッチング終了後、モニタ用開口6の素子分離用 SiO_2 膜2の膜厚を測定する。エッチング前の SiO_2 膜2の膜厚が測定されているので、 SiO_2 膜2のエッチング量を算出することができる。

SiO_2 膜2のエッチング量とシリコン基板1のエッチング量の間にはエッチング条件により定まる第3図に示されるようなエッチング速度比の関係があるので、この関係からシリコン基板1の

エッチング量を算出することができる。例えば第3図において、シリコン基板1の最適なエッチング量を T_0 とすると、このときの SiO_2 膜2のエッチング量は t_0 であるが、いま測定された SiO_2 膜2のエッチング量が t であればそのときのシリコン基板1のエッチング量は T と推定されるので、最適なシリコン基板エッチング量 T_0 になるようにエッチング条件を設定すればよい。

(効果)

本発明ではシリコン基板のウエハ上の絶縁膜にコンタクトホールを形成する際、コンタクトホール用レジスト膜にコンタクトホール用開口の他に素子分離用酸化膜上にモニタ用開口を設け、ドライエッチングを行なった後、モニタ用開口内の酸化膜厚を測定して酸化膜のエッチング量を算出し、酸化膜とシリコン基板とのエッチング速度比からシリコン基板のオーバエッチング量を算出することにより、シリコン基板のエッチング量を管理するようにしたので、シリコン基板のエッチング過多による半導体集積回路装置の歩留り低下を防ぐ

ことができる。

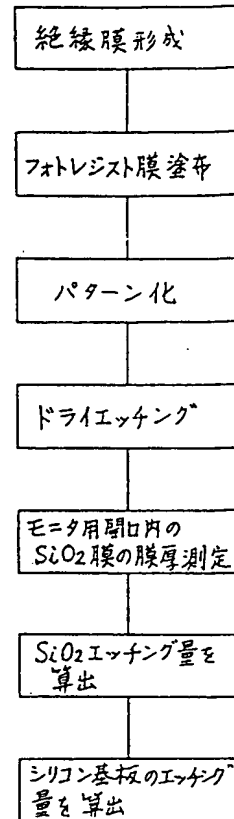
4. 図面の簡単な説明

第1図は一実施例を示すフローチャート、第2図は一実施例においてエッチング前の状態を示す断面図、第3図は SiO_2 とシリコン基板のエッチング速度の関係を示す図である。

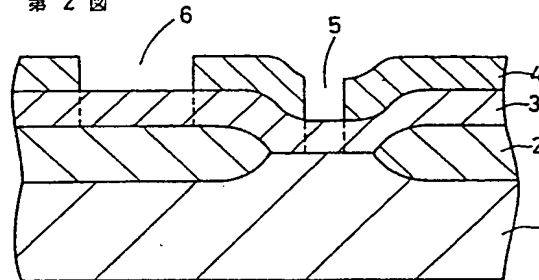
- 1 ……シリコン基板、
- 2 ……素子分離用 SiO_2 膜、
- 3 ……PSG膜、
- 4 ……フォトリジスト、
- 5 ……コンタクトホール用開口、
- 6 ……モニタ用開口。

代理人 弁理士 野口繁雄

第1図



第2図



第3図

